

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PCT/JP 99/06590

10-856-634

20.12.99

日 本 国 特 許 庁

JP 99/6590 PATENT OFFICE
JAPANESE GOVERNMENT

EJU

REC'D 04 FEB 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1 9 9 8 年 1 1 月 2 7 日

出 願 番 号
Application Number:

平成 1 0 年 特 許 願 第 3 3 8 0 8 2 号

出 願 人
Applicant (s):

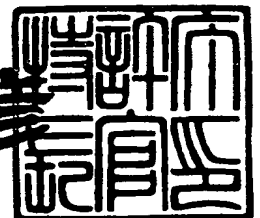
松下電器産業株式会社

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 0 年 1 月 2 1 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 9 5 4 6 3

【書類名】 特許願

【整理番号】 2037900054

【提出日】 平成10年11月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/06550
G06F 13/38330

【発明の名称】 画像処理装置

【請求項の数】 4

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式
会社内

 【氏名】 孝橋 靖雄

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式
会社内

 【氏名】 森岩 俊博

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式
会社内

 【氏名】 東島 勝義

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式
会社内

 【氏名】 九郎丸 俊一

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(380)5822

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 画像の入出力を行う画像入出力処理部と、
種類の異なる画像データを時分割で共有するメモリと、
前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理部と、

前記メモリから前記画像入出力処理部又は前記符号化復号化処理部へのデータ転送を制御するデータ転送制御部と、

を備える画像処理装置において、

予め、ダイレクトメモリアクセススケジューリングが可能な転送データ群をバースト転送単位に分割し、

前記バースト転送単位のダイレクトメモリアクセスを周期的に行い、

前記転送データをダイレクトメモリアクセスしていない期間にスケジューリング不可能な転送データをダイレクトメモリアクセスする、

ことを特徴とする、画像処理装置。

【請求項 2】 請求項 1 に記載のデータ転送制御方法において、

前記バースト転送単位は、予めダイレクトメモリアクセススケジューリング可能な転送データを等量に分割したブロック単位の組合せからなり、

前記ブロック単位を周期的にダイレクトメモリアクセスする、

ことを特徴とする、画像処理装置。

【請求項 3】 画像の入出力を行う画像入出力処理部と、

種類の異なる画像データを時分割で共有するメモリと、

前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理部と、

前記メモリから前記画像入出力処理部又は前記符号化復号化処理部へのデータ転送を制御するデータ転送制御部と、

を備える画像処理装置において、

前記データ転送制御部は、

予めダイレクトメモリアクセススケジューリング可能なデータの転送タイミングを発生するダイレクトメモリアクセス要求発生部と、

前記ダイレクトメモリアクセス要求発生部からのダイレクトメモリアクセス要求があった場合は、前記符号化復号化処理部とのダイレクトメモリアクセスを中断し、前記画像入出力処理部のダイレクトメモリアクセスを優先実行するように調停するダイレクトメモリアクセス要求調停部と、

ダイレクトメモリアクセスの設定情報を保持するダイレクトメモリアクセス設定保持部と、

前記ダイレクトメモリアクセス要求調停部の指示により、ダイレクトメモリアクセス設定情報を基に前記メモリのアドレスを発生するアドレス発生部と、

前記メモリの書込み又は読み出しを制御するメモリ制御部と、

を備えた、

ことを特徴とする、画像処理装置。

【請求項4】 請求項3に記載の画像処理装置において、

前記ダイレクトメモリアクセス要求発生部は、

フレームの先頭を検出するフレーム検出部と、

フレーム内のラインの先頭を検出する第1ライン検出部と、

前記第1ライン検出部からのライン先頭信号を受けて計数値をリセットし、以後、動作クロックを計数するクロック計数部と、

前記フレーム検出部からのフレーム先頭信号を受けて計数値をリセットし、以後、前記第1ライン検出部からのライン先頭信号を計数するライン計数部と、

前記クロック計数部の計数値から、予めダイレクトメモリアクセススケジューリング可能なバースト転送単位のダイレクトメモリアクセスの開始時間を検出する第2ライン検出部と、

前記フレーム検出部からのフレーム先頭信号と1周期終了後信号で計数値をリセットし、前記第2ライン検出部からのライン検出信号を計数するライン周期計数部と、

前記ライン計数部の計数値と、前記第2ライン検出部の検出信号と、から有効なライン期間を検出する有効垂直期間検出部と、

前記ライン周期計数部の計数値から有効なラインを検出する有効ライン検出部と、

前記クロック計数部の計数値からダイレクトメモリアクセスの要求タイミングを検出する要求信号検出部と、を備え、

前記有効垂直期間検出部の出力信号と、前記有効ライン検出部の信号出力と、前記要求信号検出部の出力信号と、からダイレクトメモリアクセス要求信号を生成する、

ことを特徴とする、画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、種類の異なるデータを時分割で共有するメモリのデータ転送効率を向上させるデータ転送制御方法、及びこのデータ転送制御方法が適用可能な画像処理装置に関するものである。

【0002】

【従来の技術】

近年、テレビ電話やテレビ会議システムなど、画像通信を利用したシステムへの関心が高まっているが、一般的に、このシステムで利用する通信回線は伝送速度が低いため、膨大な画像データの伝送には画像の符号化／復号化技術が必要不可欠であり、実際に今までに種々の符号化／復号化方式が考案されている。

【0003】

またこのような状況の中、画像の符号化／復号化処理をプログラム制御可能なプロセッサで行う画像処理装置であって、制御を行うプログラムの入れ替えにより、種々の符号化／復号化方式に柔軟に対応可能とした画像処理装置の提供が要望されている。以下、符号化／復号化処理をプログラム制御可能なプロセッサで行う従来の画像処理装置Xについて、図5を参照しつつ説明する。

【0004】

図5は画像処理装置Xのブロック構成図である。この画像処理装置Xは、画像入出力処理部500、入力画像の解像度変換、及び入力画像と前フレーム画像と

を用いての画像ノイズ除去処理、を行う入力制御部501、入力制御部501から外部メモリ511へデータを転送する前に、入力制御部501の出力画像データを一時保持する入力画像バッファ502、外部メモリ511に格納している前フレーム画像データを入力制御部501へ渡す前に一時保持する前フレーム画像バッファ503、外部メモリ511に格納している表示用画像データの子画面生成部505へ渡す前に一時保持する子画面生成入力バッファ504、外部メモリ511に格納している表示用画像データの子画面に解像度変換する子画面生成部505、子画面生成部505から外部メモリ511へデータを転送する前に子画面生成部505で生成した子画面画像データを一時的に保持する子画面生成出力バッファ506、外部メモリ511に格納している子画面画像データを表示制御部510に渡す前に一時保持する子画面バッファ507、外部メモリ511に格納している表示用画像データを表示制御部510に渡す前に一時保持する親画面バッファ508、外部メモリ511に格納しているグラフィックスデータを表示制御部510に渡す前に一時保持するグラフィックスバッファ509、符号化対象画像、子画面、表示用画像、グラフィックスと言った種類の異なる画像データを領域分割して保持する外部メモリ511、画像入出力処理部500又はプロセッサ部516と外部メモリ511とのデータ転送、即ちダイレクトメモリアクセス(Direct Memory Access、以下、「DMA」と呼ぶ。)の制御を行うDMA制御部512、前記DMA制御を行うための各種設定情報を保持しておくDMA設定保持部513、DMA設定情報に従って外部メモリ511のアドレスを発生するアドレス発生部514、外部メモリ511の書き込み又は読み込み制御を行うDRAM制御部515、プログラム制御可能なプロセッサ部516、外部メモリ511の画像又は符号データをプログラム制御で処理する符号化／復号化処理部517、各バッファ、即ち、入力画像バッファ502と、前フレーム画像バッファ503と、子画面生成入力バッファ504と、子画面生成出力バッファ506と、子画面バッファ507と、親画面バッファ508と、グラフィックスバッファ509、及びプロセッサ部516と外部メモリ511、の間でDMAを行うDMAバス518、を備えている。

【0005】

このように構成された画像処理装置Xの動作を以下に簡単に説明する。

まず、入力画像はビデオ同期信号に同期して一定レートで常時、入力制御部501に入力される。

入力画像が入力制御部501に入力されると、入力制御部501は入力画像を符号化対象となる画像サイズに解像度変換したあと、入力画像バッファ502に一時格納する。

また、入力制御部501は前フレーム画像を用いて、入力画像のノイズを除去する処理を施す場合もある。この場合は、外部メモリ511に格納している前フレーム画像を前フレーム画像バッファ503にDMAし、前フレーム画像バッファ503から前フレーム画像を読み出しながら、ノイズ除去処理を行う。

【0006】

子画面生成部505は、外部メモリ511に格納している表示用画像を子画面として表示する場合に、外部メモリ511から子画面生成入力バッファ504経由で転送された前記表示画像を子画面サイズに解像度変換し、子画面生成出力バッファ506に一時格納する。そのあと、子画面生成出力バッファ506から外部メモリ511に転送される。

【0007】

表示制御部510は、子画面、親画面、グラフィックスデータをそれぞれ子画面バッファ507、親画面バッファ508、グラフィックスバッファ509から読み出し、表示合成したあと、表示画像としてビデオ同期信号に同期させて一定レートで出力する。

【0008】

プロセッサ部516は、外部メモリ511に格納している符号化対象の画像データをプロセッサ内部に転送し、符号化処理を行い、符号データを外部メモリ511に転送する。また、外部メモリ511に格納している符号データをプロセッサ内部に転送し、復号化処理を行い、表示用画像データとして外部メモリ511に転送する。

【0009】

外部メモリ511と、各バッファ、即ち、入力画像バッファ502、前フレーム画像バッファ503、子画面生成入力バッファ504、子画面生成出力バッファ506、子画面バッファ507、親画面バッファ508、グラフィックスバッファ509、及びプロセッサ部516との間のDMAは、プロセッサ部516がDMA制御部512にDMA要求を出すことにより、実行される。

DMA制御部512は、プロセッサ部516からDMA要求があると、DMA設定保持部513に設定されているDMA設定情報をアドレス発生部514に渡す。

アドレス発生部514は、受け取ったDMA設定情報を基に、外部メモリ511のアクセスアドレスを発生し、DRAM制御部515に渡す。

【0010】

DRAM制御部515は入力画像バッファ502、前フレーム画像バッファ503、子画面生成入力バッファ504、子画面生成出力バッファ506、子画面バッファ507、親画面バッファ508、グラフィックスバッファ509、のいずれかのバッファ、又はプロセッサ部516の読み出し又は書き込み制御と、外部メモリ511の書き込み又は読み出し制御を行う。

【0011】

外部メモリ511と、入力画像バッファ502、前フレーム画像バッファ503、子画面生成入力バッファ504、子画面生成出力バッファ506、子画面バッファ507、親画面バッファ508、グラフィックスバッファ509、及びプロセッサ部516は1つのDMAバスで接続しており、外部メモリ511とのDMAは時分割で行われる。

【0012】

【発明が解決しようとする課題】

しかしながら、上述した従来の画像処理装置Xの構成では、外部メモリ511とのDMAスケジューリングはプロセッサ部516が全て行っており、プロセッサ部516の処理負荷によっては、DMA要求の発行タイミングが不規則になることがあり、問題であった。

一方、画像入出力処理部 500 の画像入出力はビデオ同期信号に同期して一定レートで入出力しなければならないので、DMA の不規則性を吸収するために、各バッファのメモリ容量を大容量にしたり、DMA バス幅の拡張や動作周波数の向上による転送速度の高速化などの手法がとられるが、これには回路規模の増大や回路設計の複雑化という問題があった。

【0013】

本発明は上記の点に鑑みてなされたものであり、1つのメモリを共有してDMAを行うデータ転送制御方法及びこの方法を適用可能とした画像処理装置に関し、特定のDMAが集中発生する事を防止し、同時に回路規模の増大を抑えて、効率の良いDMAを実現するデータ転送制御方法及びこのデータ転送制御方法が適用可能な画像処理装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

本発明の請求項1に記載のデータ転送制御方法では、画像の入出力を行う画像入出力処理部と、種類の異なる画像データを時分割で共有するメモリと、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理部と、前記メモリから前記画像入出力処理部又は前記符号化復号化処理部へのデータ転送を制御するデータ転送制御部と、を備える画像処理装置において、予め、ダイレクトメモリアクセススケジューリングが可能な転送データ群をバースト転送単位に分割し、前記バースト転送単位のダイレクトメモリアクセスを周期的に行い、前記転送データをダイレクトメモリアクセスしていない期間にスケジューリング不可能な転送データをダイレクトメモリアクセスすること、を特徴とする。

【0015】

ここで、本発明の請求項2に記載のように、請求項1に記載のデータ転送制御方法において、前記バースト転送単位は、予めダイレクトメモリアクセススケジューリング可能な転送データを等量に分割したブロック単位の組合せからなり、前記ブロック単位を周期的にダイレクトメモリアクセスすること、は好ましい実施の形態である。

【0016】

本発明の請求項3に記載の画像処理装置は、画像の入出力を行う画像入出力処理部と、種類の異なる画像データを時分割で共有するメモリと、前記メモリに記憶してあるデータを符号化又は復号化処理する符号化復号化処理部と、前記メモリから前記画像入出力処理部又は前記符号化復号化処理部へのデータ転送を制御するデータ転送制御部と、を備える画像処理装置において、前記データ転送制御部は、予めダイレクトメモリアクセススケジューリング可能なデータの転送タイミングを発生するダイレクトメモリアクセス要求発生部と、前記ダイレクトメモリアクセス要求発生部からのダイレクトメモリアクセス要求があった場合は、前記符号化復号化処理部とのダイレクトメモリアクセスを中断し、前記画像入出力処理部とのダイレクトメモリアクセスを優先実行するように調停するダイレクトメモリアクセス要求調停部と、ダイレクトメモリアクセスの設定情報を保持するダイレクトメモリアクセス設定保持部と、前記ダイレクトメモリアクセス要求調停部の指示により、ダイレクトメモリアクセス設定情報を基に前記メモリのアドレスを発生するアドレス発生部と、前記メモリの書込み又は読み出しを制御するメモリ制御部と、を備えたことを特徴とする。

【0017】

ここで、本発明の請求項4に記載のように、請求項3に記載の画像処理装置において、前記ダイレクトメモリアクセス要求発生部は、フレームの先頭を検出するフレーム検出部と、フレーム内のラインの先頭を検出する第1ライン検出部と、前記第1ライン検出部からのライン先頭信号を受けて計数値をリセットし、以後、動作クロックを計数するクロック計数部と、前記フレーム検出部からのフレーム先頭信号を受けて計数値をリセットし、以後、前記第1ライン検出部からのライン先頭信号を計数するライン計数部と、前記クロック計数部の計数値から、予めダイレクトメモリアクセススケジューリング可能なバースト転送単位のダイレクトメモリアクセスの開始時間を検出する第2ライン検出部と、前記フレーム検出部からのフレーム先頭信号と1周期終了後信号で計数値をリセットし、前記第2ライン検出部からのライン検出信号を計数するライン周期計数部と、前記ライン計数部の計数値と、前記第2ライン検出部の検出信号と、から有効なライン

期間を検出する友好垂直期間検出部と、前記ライン周期計数部の計数値から有効なラインを検出する有効ライン検出部と、前記クロック計数部の計数値からダイレクトメモリアクセスの要求タイミングを検出する要求信号検出部と、を備え、前記有効垂直期間検出部の出力信号と、前記有効ライン検出部の信号出力と、前記要求信号検出部の出力信号と、からダイレクトメモリアクセス要求信号を生成すること、は好ましい実施の形態である。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。尚、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0019】

(実施の形態1)

以下、1つのメモリを共有してDMAを行うデータ転送制御方法及びこの方法を適用可能とした画像処理装置に関し、特定のDMAが集中発生する事を防止し、同時に回路規模の増大を抑えて、効率の良いDMAを実現するデータ転送制御方法を適用可能とした本発明に係る画像処理装置Aを、第1の実施の形態として、図面を参照しつつ説明する。

【0020】

図1は画像処理装置Aのブロック構成図である。

この画像処理装置Aは、画像入出力処理部100、入力画像の解像度変換及び入力画像と前フレーム画像とを用いて画像のノイズ除去処理を行う入力制御部101、入力制御部101から外部メモリ111へデータを転送する前に入力制御部101の出力画像データを一時保持する入力画像バッファ102、外部メモリ111に格納している前フレーム画像データを入力制御部101へ渡す前に一時保持する前フレーム画像バッファ103、外部メモリ111に格納している表示用画像データを子画面生成部105へ渡す前に一時保持する子画面生成入力バッファ104、外部メモリ111に格納している表示用画像データを子画面に解像度変換する子画面生成部105、子画面生成部105から外部メモリ111へデ

ータを転送する前に子画面生成部 105 で生成した子画面画像データを一時的に保持する子画面生成出力バッファ 106、外部メモリ 111 に格納している子画面画像データを表示制御部 110 に渡す前に一時保持する子画面バッファ 107、外部メモリ 111 に格納している表示用画像データを表示制御部 110 に渡す前に一時保持する親画面バッファ 108、外部メモリ 111 に格納しているグラフィックスデータを表示制御部 110 に渡す前に一時保持するグラフィックスバッファ 109、符号化対象画像、子画面、表示用画像、グラフィックスといった種類の異なる画像データを領域分割して保持する外部メモリ 111、画像入出力処理部 100 又はプロセッサ部 116 と外部メモリ 111 との DMA 制御を行う DMA 制御部 112、前記 DMA 制御を行うための各種設定情報を保持しておく DMA 設定保持部 113、DMA 設定情報に従って外部メモリ 111 のアドレスを発生するアドレス発生部 114、外部メモリ 111 の書き込み又は読み込み制御を行う DRAM 制御部 115、プログラム制御可能なプロセッサ 116、外部メモリ 111 の画像又は符号データをプログラム制御で処理する符号化／復号化処理部 117、各バッファ、即ち、入力画像バッファ 102、前フレーム画像バッファ 103、子画面生成入力バッファ 104、子画面生成出力バッファ 106、子画面バッファ 107、親画面バッファ 108、グラフィックスバッファ 109 と、プロセッサ部 116 と、外部メモリ 111 との間で DMA を行う DMA バス 118、ビデオ同期信号を基に画像入出力処理部 100 と外部メモリ 111 との DMA 要求タイミングを発生する DMA 要求発生部 119、DMA 要求発生部 119 からの DMA 要求とプロセッサ部 116 からの DMA 要求があると、DMA 要求発生部 119 からの DMA 要求を優先的に実行するように調停する DMA 要求調停部 120、を備えている。

【0021】

尚、上記の画像処理装置 A を構成する部材のうち、画像入出力処理部 100、入力制御部 101、子画面生成部 105、表示制御部 110、DRAM 制御部 115、プロセッサ部 116、符号化／復号化分部 117、及び DMA バス 118 の構成は、先述の画像処理装置 X において対応する同一名称を附した各構成部材、即ち画像入出力処理部 500、入力制御部 501、子画面生成部 505、表示

制御部 510、DRAM制御部 515、プロセッサ部 516、符号化／復号化分
部 517、及びDMAバス 518、それぞれの構成と同じである。

【0022】

また、上記の画像処理装置Aを構成する部材のうち、入力画像バッファ102、前フレーム画像バッファ103、子画面生成入力バッファ104、子画面生成出力バッファ106、子画面バッファ107、親画面バッファ108、グラフィックスバッファ109は、先述した画像処理装置Xにおいて対応する同一名称を附した各構成部材、即ち入力画像バッファ502、前フレーム画像バッファ503、子画面生成入力バッファ504、子画面生成出力バッファ506、子画面バッファ507、親画面バッファ508、グラフィックスバッファ509と、容量の点では異なるものの、その機能は同じである。

【0023】

図2はDMA要求発生部119のブロック構成図である。

このDMA要求発生部119は、ビデオ垂直同期信号からフレームの先頭を検出するフレーム検出部201、ビデオ水平同期信号からラインの先頭を検出するライン検出部202、ライン検出部202からのライン先頭信号を受けて計数値をリセットした後に動作クロックを計数するクロック計数部203、フレーム検出部201からのフレーム先頭信号を受けて計数値をリセットした後にライン検出部202からのライン先頭信号を計数するライン計数部204、クロック計数部203の計数値から予めDMAスケジューリング可能なバースト転送単位のDMAを開始時間検出する2分の1ライン検出部205、フレーム検出部201からのフレーム先頭信号と1周期終了信号とで計数値をリセットした後に2分の1ライン検出部205からのライン検出信号を計数するライン周期計数部206、クロック計数部203の計数値と、ライン周期計数部206の計数値と、ライン計数部204の計数値とからDMA要求信号を生成する第1要求信号生成部207、ライン計数部204の計数値と、2分の1ライン検出部205の検出信号とから有効なライン期間を検出する有効ライン期間検出部208、ライン周期計数部206の計数値から有効なラインを検出する有効ラインデコード部209、クロック計数部203の計数値からDMAの要求タイミングを検出する要求信号

クロック計数値デコード部 210、AND（論理積）回路 211、第1要求信号生成部 207と同様な構成で、他の予めDMAスケジューリング可能なデータのDMA要求信号を生成する第2要求信号生成部 212、第N要求信号生成部 213、より構成されている。尚、Nは予めDMAスケジューリングが可能なデータの種類の数である。

【0024】

このように構成された画像処理装置Aの動作について、以下に説明する。

まず、入力画像はビデオ同期信号に同期して一定レートで常時、入力される。

【0025】

入力画像が入力制御部 101に入力されると、入力制御部 101は入力画像を符号化対象となる画像サイズに解像度変換したあと、入力画像バッファに一時格納する。

一例として、有効入力画像サイズが704画素×240ライン×2フィールドのNTSCインターレスサイズを輝度352画素×288ライン、色差176画素×144ラインのCIFサイズに解像度変換する場合のラインタイミングを表1及び表2に示す。

【0026】

【表1】

ライン番号	有効輝度データ出力	
1		無効期間
2		
⋮		
22		
23		
24		パターンA
25	1	
26	2	
27	3	
28	4 5	
29	6	パターンAの繰り返し
⋮	⋮	
260	283	
261	284	
262	285	
263	286 287	無効期間
264	288	
265		
266		
⋮		
525		

【0027】

【表2】

ライン番号	有効色差データ出力	
1		無効期間
2		
⋮		
22		
23		パターンB
24	1	
25		
26	2	
27	3	パターンBの繰り返し
28		
29	4	
⋮	⋮	
260		無効期間
261	143	
262	144	
263		
264		無効期間
265		
266		
⋮		
525		

【0028】

表1及び表2において、「ライン番号」は入力画像のライン番号であって、NTSC画像の場合、1から525の値となり、22ラインから261ライン及び285ラインから524ラインまでを有効ラインとして使用する。また「有効輝度データ出力」は、解像度変換した後の有効な輝度データの出力ラインタイミング、「有効色差データ出力」は、解像度変換した後の有効な色差データの出力ラインタイミングを示し、2つの色差データCb、Crとも同一ラインタイミングである。

【0029】

次に、入力制御部101で解像度変換された画像データを、入力画像バッファ

102を介して外部メモリ111にDMAする時のラインタイミングを、表3及び表4に示す。

【0030】

【表3】

ライン番号	輝度データDMA	
1		無効期間
2		
⋮		
22		
23		
24		パターンC
25	1	
26	2	
27	3	
28	4	
29	5 6	パターンCの繰り返し
⋮	⋮	
260	283	
261	284	
262	285	
263	286	無効期間
264	287 288	
265		
266		
⋮		
525		

【0031】

【表4】

ライン番号	色差データDMA	
1		無効期間
2		
⋮		
22		
23		
24	1	パターンD
25		
26	2	
27	3	
28		
29	4	パターンDの繰り返し
⋮	⋮	
260		
261	143	
262	144	
263		無効期間
264		
265		
266		
⋮		
525		

【0-0-3-2】

表3及び表4において、「ライン番号」は入力画像のライン番号であって、「輝度データDMA」は輝度データを外部メモリ111にDMAするラインタイミング、「色差データDMA」は色差データを外部メモリ111にDMAするラインタイミングを示す。

【0033】

この画像処理装置Aにおいて、実際のDMAは1ライン時間を2分の1経過した時間から開始するが、例えば、CIFサイズの輝度データの1ライン目は、ライン番号25で入力制御部101から出力され、ライン番号25の後半からライン番号26の前半の間でDMAする。CIFサイズの輝度データの5ラインと6

ラインの輝度データは、ライン番号29の後半からライン番号30の前半までの1ライン期間中にCIFサイズ2ライン分をDMAすることが表3より判る。

【0034】

ここで入力制御部101は、前フレーム画像を用いて入力画像のノイズ除去処理を行う。この場合は、外部メモリ111に格納している前フレーム画像を前フレーム画像バッファ103にDMAし、前フレーム画像バッファ103から前フレーム画像を読み出しながら、ノイズ除去処理を行う。

また、外部メモリ111から前フレーム画像バッファ103に前フレーム画像をDMAする時のラインタイミングを表5に示す。ここで、ノイズ除去処理は輝度データについてのみ行うので、結局、輝度データのみDMAすることになる。

【0035】

【表5】

ライン番号	輝度データDMA	
1		無効期間
2		
⋮		
22		
23		パターンC
24	1	
25	2	
26	3	
27	4	パターンCの繰り返し
28	5 6	
29	7	
⋮	⋮	
260	284	無効期間
261	285	
262	286	
263	287 288	
264		無効期間
265		
266		
⋮		
525		

【0036】

一方、子画面生成部105は、外部メモリ111に格納している表示用画像を子画面として表示する場合に、外部メモリ111から子画面生成入力バッファ104経由で転送された前記表示画像を子画面サイズに解像度変換し、子画面生成出力バッファ106に一時格納する。そのあと、子画面生成出力バッファ106から外部メモリ111に転送される。

外部メモリ111から子画面生成入力バッファ104へ輝度704画素×480ライン、色差352画素×480ラインの表示用画像データをDMAする時のラインタイミングを表6に示す。この表6においては、輝度データと色差データで同一ラインタイミングとなる。

【0037】

【表6】

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
21	1	
22	2	パターンE
23	3	
24	4	
25	5	パターンEの繰り返し
⋮	⋮	
260	240	
261		無効期間
⋮		
284	241	
285	242	パターンEの繰り返し
286	243	
⋮	⋮	
522	479	無効期間
523	480	
524		
525		

【0038】

表6において、ライン番号は表示画像のライン番号でNTSC画像の場合、1から525の値となり、22ラインから261ライン及び285ラインから524ラインまでを有効表示ラインとして使用する。

また表7に、子画面生成出力バッファ106から外部メモリ111へ輝度352画素×240ライン、色差176画素×240ラインの生成子画面データをDMAする時のラインタイミングを示す。

【0039】

【表7】

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
22		
23	1	パターンF
24		
25	2	
26		パターンFの繰り返し
⋮	⋮	
260		
261	120	無効期間
⋮		
284		
285		パターンFの繰り返し
286	121	
⋮	⋮	
522	239	無効期間
523		
524	240	
525		

【0040】

一方、表示制御部110は、子画面、親画面、グラフィックスデータをそれぞれ子画面バッファ107、親画面バッファ108、グラフィックスバッファ109から読み出し、表示合成したあと、表示画像としてビデオ同期信号に同期させ

て一定レートで出力する。

子画面の表示位置が表示モニタの右下隅の場合であって、外部メモリ111から子画面バッファ107へ輝度352画素×240ライン、色差176画素×240ラインの子画面データをDMAする時のラインタイミングを表8に示す。

【0041】

【表8】

ライン番号	輝度, 色差データDMA	
1		無効期間
⋮		
140		
141		パターンG
142	1	
143	2	
144	3	パターンGの繰り返し
⋮	⋮	
260	119	
261	120	無効期間
⋮		
403		
404		パターンGの繰り返し
405	121	
⋮	⋮	
522	238	無効期間
523	239	
524	240	
525		

【0042】

また、外部メモリ111から親画面バッファ108へ輝度352画素×576ライン、色差176画素×288ラインの親画面データをDMAする時のラインタイミングを表9及び表10に示す。

【0043】

【表9】

ライン番号	輝度データDMA	
1		
⋮		
20	1	2
21	3	
22	4	
23	5	
24	6	
⋮		⋮
258	287	
259	288	
⋮		
283	289	290
284	291	
285	292	
⋮		⋮
521	575	
522	576	
523		
524		
525		

無効期間

パターンH

パターンHの繰り返し

無効期間

パターンHの繰り返し

無効期間

【0044】

【表10】

ライン番号	色差データDMA	
1		無効期間
⋮		
19	1	
20	2	特殊パターン
21	3	
22	4	パターンJ
23		
24		
⋮	⋮	パターンJの繰り返し
254		
255	143	特殊パターン
256	144	特殊パターン
⋮		無効期間
282	145	特殊パターン
283	146	
284	147	パターンJの繰り返し
⋮	⋮	
517		
518	287	特殊パターン
519	288	特殊パターン
⋮		無効期間
525		

【0045】

また、外部メモリ111からグラフィックスバッファ109へ352×480ラインのグラフィックスデータをDMAする時のラインタイミングを表11に示す。

【0046】

【表11】

ライン番号	グラフィックデータDMA	
1		無効期間
⋮		
21	1	
22	2	パターンK
23	3	
24	4	
25	5	パターンKの繰り返し
⋮	⋮	
259	239	
260	240	無効期間
⋮		
284	241	
285	242	パターンKの繰り返し
286	243	
⋮	⋮	
522	479	無効期間
523	480	
524		
525		

【0047】

以上、外部メモリ1-1-1と各バッファとのDMAラインタイミングについて説明したが、次に、1ライン期間中におけるDMAスケジューリングについて説明する。

表12、表13、表14、表15は、1ライン期間中におけるDMA要求タイミングを示したもので、1ライン期間を20分割し、それをさらに4分割して、予めスケジューリング可能なDMAを配置する。1回のDMA要求で実行するDMAサイズを88バイト、DMA動作周波数を67.5MHzとする。DMAバス幅は16ビットとすると1回のDMAは44サイクルとなる。

【0048】

【表12】

分割 No.		67.5 MHz クロック数	入力画像バッファDMA				前フレーム画像 バッファDMA		子画面生成 入力バッファDMA		
			輝度データ		色差 Cb データ	色差 Cr データ	輝度データ		輝度 データ	色差 Cb データ	色差 Cr データ
			1ライン DMA時	2ライン DMA時			1ライン DMA時	2ライン DMA時			
10	0	2150					○	○			
	1	2194	○	○							
	2	2238									
	3	2282									
11	0	2365							○		
	1	2409								○	
	2	2453									○
	3	2497									
12	0	2580									
	1	2624									
	2	2668		○				○			
	3	2712									
13	0	2795			○						
	1	2839									
	2	2883							○		
	3	2927									
14	0	3010									
	1	3054									
	2	3098									
	3	3142									
15	0	3225					○	○			
	1	3269	○	○							
	2	3313									
	3	3357									
16	0	3440							○		
	1	3484								○	
	2	3528									○
	3	3572									
17	0	3655									
	1	3699									
	2	3743		○				○			
	3	3787									
18	0	3870				○					
	1	3914									
	2	3958							○		
	3	4002									
19	0	4085									
	1	4129									
	2	4173									
	3	4217									

【0049】

【表 13】

分割 No.		67.5 MHz クロック数	子画面生成 出力バッファDMA			子画面 バッファDMA			親画面バッファDMA				グラフィックス バッファ DMA
			輝度 データ	色差 Cb データ	色差 Cr データ	輝度 データ	色差 Cb データ	色差 Cr データ	1ライン DMA 時	2ライン DMA 時	色差 Cb データ	色差 Cr データ	
10	0	2150											
	1	2194											
	2	2238							○	○			
	3	2282											
11	0	2365											
	1	2409											
	2	2453											
	3	2497											
12	0	2580		○									
	1	2624					○						
	2	2668								○			
	3	2712											
13	0	2795											
	1	2839									○		
	2	2883											
	3	2927											
14	0	3010											○
	1	3054	○										
	2	3098				○							
	3	3142											
15	0	3225											
	1	3269											
	2	3313							○	○			
	3	3357											
16	0	3440											
	1	3484											
	2	3528											
	3	3572											
17	0	3655			○								
	1	3699						○					
	2	3743								○			
	3	3787											
18	0	3870											
	1	3914										○	
	2	3958											
	3	4002											
19	0	4085											○
	1	4129	○										
	2	4173				○							
	3	4217											

【0050】

【表 14】

分割 No.	67.5 MHz クロック数	入力画像バッファDMA				前フレーム画像 バッファDMA		子画面生成 入力バッファDMA		
		輝度データ		色差 Cb データ	色差 Cr データ	輝度データ		輝度 データ	色差 Cb データ	色差 Cr データ
		1ライン DMA時	2ライン DMA時			1ライン DMA時	2ライン DMA時			
0	0	0				○	○			
	1	44	○	○						
	2	88								
	3	132								
1	0	215						○		
	1	259							○	
	2	303								○
	3	347								
2	0	430								
	1	474								
	2	518		○			○			
	3	562								
3	0	645			○					
	1	689								
	2	733						○		
	3	777								
4	0	860								
	1	904								
	2	948								
	3	992								
5	0	1075				○	○			
	1	1119	○	○						
	2	1163								
	3	1207								
6	0	1290						○		
	1	1334							○	
	2	1378								○
	3	1422								
7	0	1505								
	1	1549								
	2	1593		○			○			
	3	1637								
8	0	1720			○					
	1	1764								
	2	1808						○		
	3	1852								
9	0	1935								
	1	1979								
	2	2023								
	3	2067								

【0051】

【表15】

分割 No.	67.5 MHz 加ック数	子画面生成 出力バッファDMA			子画面 バッファDMA			親画面バッファDMA				グラフィックス バッファ DMA
		輝度 データ	色差 Cb データ	色差 Cr データ	輝度 データ	色差 Cb データ	色差 Cr データ	1ライン DMA 時	2ライン DMA 時	色差 Cb データ	色差 Cr データ	
0	0	0										
	1	44										
	2	88						○	○			
	3	132										
1	0	215										
	1	259										
	2	303										
	3	347										
2	0	430	○									
	1	474				○						
	2	518							○			
	3	562										
3	0	645										
	1	689								○		
	2	733										
	3	777										
4	0	860										○
	1	904	○									
	2	948				○						
	3	992										
5	0	1075										
	1	1119										
	2	1163						○	○			
	3	1207										
6	0	1290										
	1	1334										
	2	1378										
	3	1422										
7	0	1505		○								
	1	1549					○					
	2	1593							○			
	3	1637										
8	0	1720										
	1	1764									○	
	2	1808										
	3	1852										
9	0	1935										○
	1	1979	○									
	2	2023				○						
	3	2067										

【0052】

表12から表15において、「分割No.」は1ライン期間を分割した時の番号、「67.5MHzクロック数」は67.5MHzクロックでの1ライン期間のサイクル数、「入力画像バッファDMA」は入力画像バッファ102から外部メモリ111へのDMAの種類で、「1ラインDMA」は1ライン期間中にCIFサイズの1ラインをDMAする時の要求タイミング、「2ラインDMA」は1ライン期間中にCIFサイズの2ラインをDMAする時の要求タイミング、「前フレーム画像バッファDMA」は外部メモリ111から前フレーム画像バッファ103へのDMA、「子画面生成入力バッファDMA」は外部メモリ111から子画面生成入力バッファ104へのDMAの種類、「子画面生成出力バッファDMA」は外部メモリ111から子画面生成出力バッファ106へのDMAの種類、「子画面バッファDMA」は外部メモリ111から子画面バッファ107へのDMAの種類、「親画面バッファDMA」は外部メモリ111から親画面バッファ108へのDMAの種類、「グラフィックスバッファDMA」は外部メモリ111からグラフィックスバッファ109へのDMAの種類、を示している。

DMA要求発生部119は表12から表15の○印で示すタイミングでDMA要求信号を発生する。

【0053】

図3はDMA要求発生部119で発生する第1のDMA要求信号の発生タイミングを示したもので、入力画像バッファDMAの色差CbデータのDMA要求タイミングである。

図3において、「フレーム検出部出力信号」はフレーム検出部201のフレームの先頭を示す出力信号タイミング、「ライン検出部出力信号」はライン検出部202のラインの先頭を示す出力信号タイミング、「ライン計数部計数値」はフレーム検出部201の出力信号で計数値を初期化し、ライン検出部202の出力信号で計数値を+1するカウンタの計数値、「有効ライン期間検出部出力信号1」はライン計数部204の計数値と2分の1ライン検出部の出力信号とから有効なライン期間を示す信号1、「入力制御部からの有効出力画像Cbデータ」は入力制御部101から入力画像バッファ102に出力される画像のCbデータタイ

ミング、「2分の1ライン検出部出力信号」はクロック計数部203の計数値から検出した2分の1ライン時間、「ライン周期計数部計数値」はフレーム検出部201の出力信号又は計数値4の最終信号で計数値を初期化し、2分の1ライン検出部205の出力信号で計数値を+1するカウンタの計数値、「有効ラインデコード部出力信号2」はライン周期計数部206の計数値から1ライン期間中の有効、無効を示す信号2、「クロック計数値デコード出力信号3」はクロック計数部203の計数値から入力画像CbバッファDMAの1ライン期間中の要求タイミング信号、「入力画像CbバッファDMA要求信号1」は有効ライン期間検出部出力信号1と有効ラインデコード部出力信号2とクロック計数値デコード部出力信号3のAND（論理積）をとって生成したDMA要求信号1、「入力画像CbバッファDMA」は入力画像CbバッファDMA要求信号1によって実行されたDMAタイミングを示す。

【0054】

図4は、DMA要求発生部119からのDMA要求信号によって実行された、予めスケジューリング可能なDMAとプロセッサ部116のDMAとの調停関係を示したものである。

DMA要求調停部120はDMA要求発生部119からDMA要求があると、プロセッサ部116のDMA要求より優先実行するように調停し、実行する。

【0055】

図4に示すように、予めスケジューリング可能なDMAを実行していない時にプロセッサ部116からのDMA要求があると、即座に実行し、もし、予めスケジューリング可能なDMAを実行していれば、それが終了したあと、連続的にプロセッサ部のDMAを実行する。

【0056】

そして、もしもプロセッサ部のDMAを実行中に予めスケジューリング可能なDMA要求があった場合は、実行中のプロセッサ部のDMAを中断し、予めスケジューリング可能なDMAを実行した後、プロセッサ部のDMAを連続実行する。

【0057】

以上のように、本実施の形態によれば、予めDMAスケジューリング可能なDMAを周期的に優先実行させ、予めDMAスケジューリング可能なDMAを実行していない期間に、予めDMAスケジューリング不可能なDMAを実行することで、特定のDMAの集中を防止できる。特に、予めDMAスケジューリング可能なDMAの要求信号を画像入出力処理部が出力する時間の2分の1ライン後、あるいは画像入出力処理部が必要とする時間の2分の1ライン前で発生させることで、画像入出力処理部のバッファ容量を削減できる。

【0058】

【発明の効果】

以上のように、本発明による画像処理装置によれば、DMA制御部に、予めDMAスケジューリング可能なデータの転送タイミングを発生するDMA要求発生部と、前記DMA要求発生部からのDMA要求があった場合に、プロセッサ部のDMAを中断し、画像入出力処理部とのDMAを優先実行するように調停するDMA要求調停部とを設け、予めDMAスケジューリング可能な転送データ群をバースト転送単位に分割し、前期DMA要求発生部が、前記バースト転送単位のDMA要求を周期的に発行し、前記転送データをDMAしていない期間にスケジューリング不可能な転送データをDMAすることで、特定のDMAの集中を防止し、DMAを規則化できる、という本発明に係るデータ転送制御方法を実現出来るため、各バッファ容量の削減とデータ転送の高効率化が可能となり、大変好適である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る画像処理装置のブロック構成図である。

【図2】 本発明の第1の実施の形態に係る画像処理装置を構成するDMA要求発生部のブロック構成図である。

【図3】 DMA要求発生部で発生する第1のDMA要求信号の発生タイミングを示した図である。

【図4】 予めスケジューリング可能なDMAとプロセッサ部のDMAとの調停関係を示した図である。

【図5】 従来の画像処理装置のブロック構成図である。

【符号の説明】

A 画像処理装置

- 100 画像入出力処理部
- 101 入力制御部
- 102 入力画像バッファ
- 103 前フレーム画像バッファ
- 104 子画面生成入力バッファ
- 105 子画面生成部
- 106 子画面生成出力バッファ
- 107 子画面バッファ
- 108 親画面バッファ
- 109 グラフィックスバッファ
- 110 表示制御部
- 111 外部メモリ
- 112 DMA制御部
- 113 DMA設定保持部
- 114 アドレス発生部
- 115 DRAM制御部
- 116 プロセッサ部
- 117 符号化／復号化部
- 118 DMAバス
- 119 DMA要求発生部
- 120 DMA要求調停部
- 201 フレーム検出部
- 202 ライン検出部
- 203 クロック計数部

- 204 ライン計数部
- 205 2分の1ライン検出部
- 206 ライン周期計数部
- 207 第1要求信号生成部
- 208 有効ライン期間計数部
- 209 有効ラインデコード部
- 210 クロック計数值デコード部
- 211 AND回路
- 212 第2要求信号生成部
- 213 第N要求信号生成部

X 画像処理装置

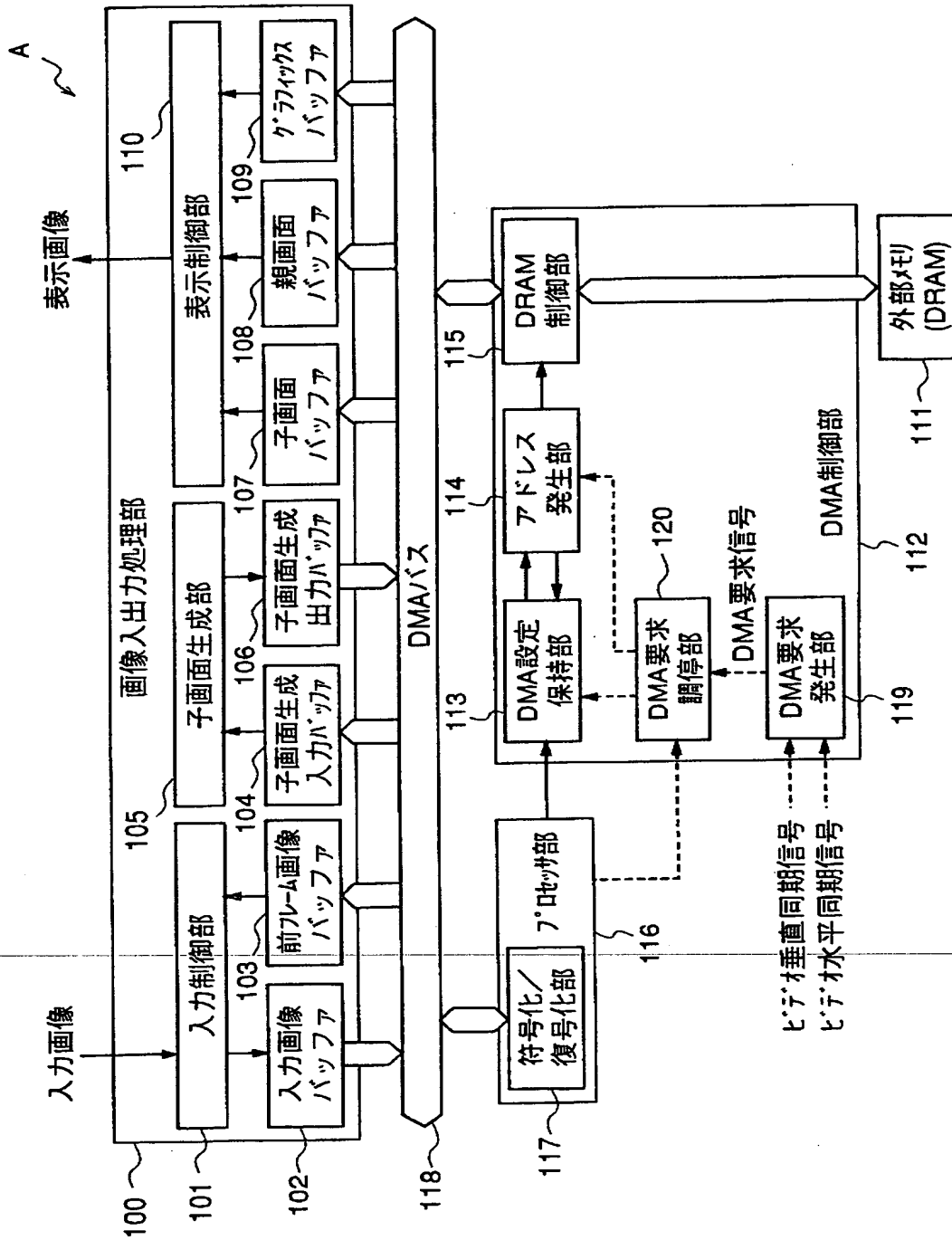
- 500 画像入出力処理部
- 501 入力制御部
- 502 入力画像バッファ
- 503 前フレーム画像バッファ
- 504 子画面生成入力バッファ
- 505 子画面生成部
- 506 子画面生成出力バッファ
- 507 子画面バッファ
- 508 親画面バッファ
- 509 グラフィックスバッファ
- 510 表示制御部
- 511 外部メモリ
- 512 DMA制御部
- 513 DMA設定保持部
- 514 アドレス発生部
- 515 DRAM制御部
- 516 プロセッサ部
- 517 符号化／復号化部

特平 1 0 - 3 3 8 0

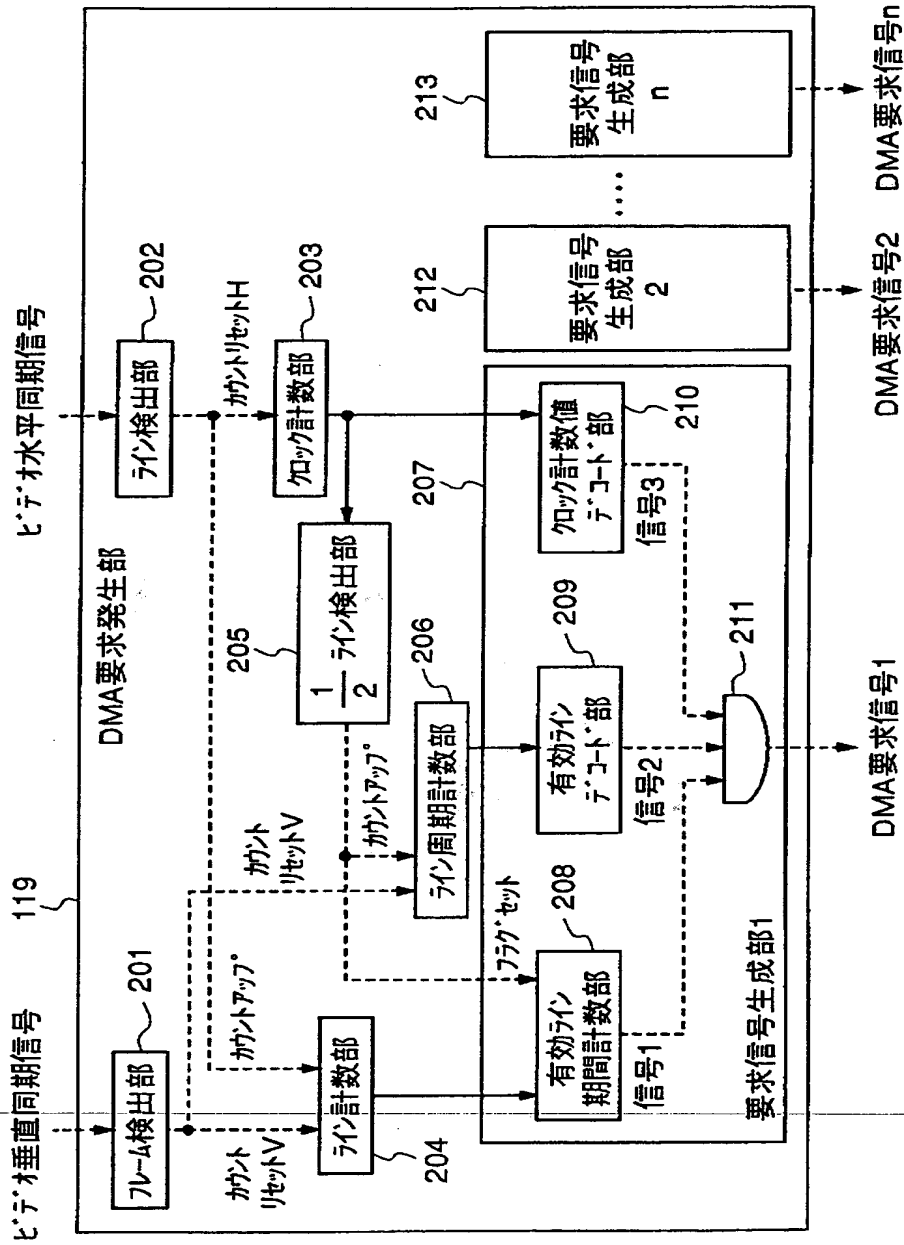
5 1 8 DMAバス

【書類名】 図面

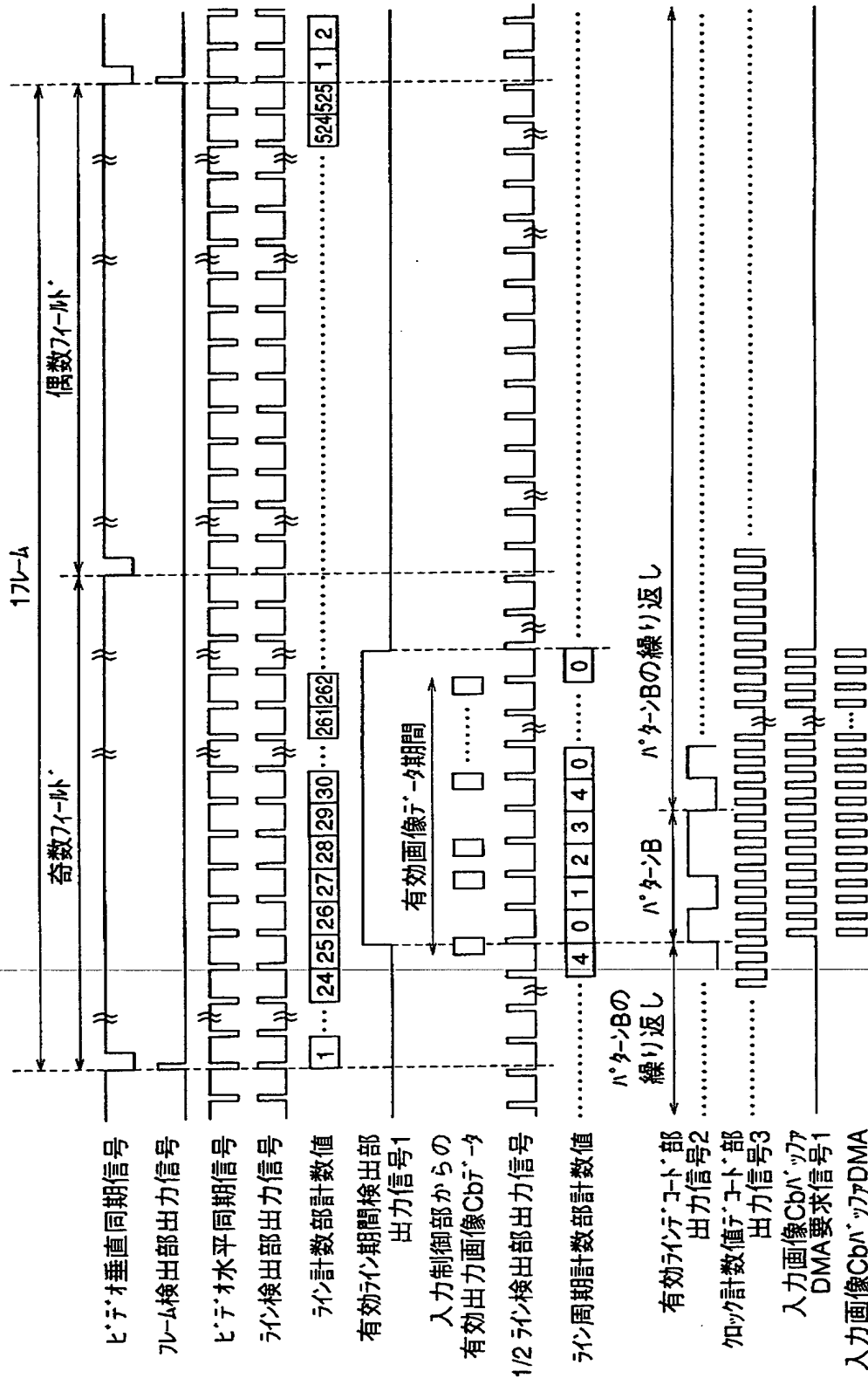
【図 1】



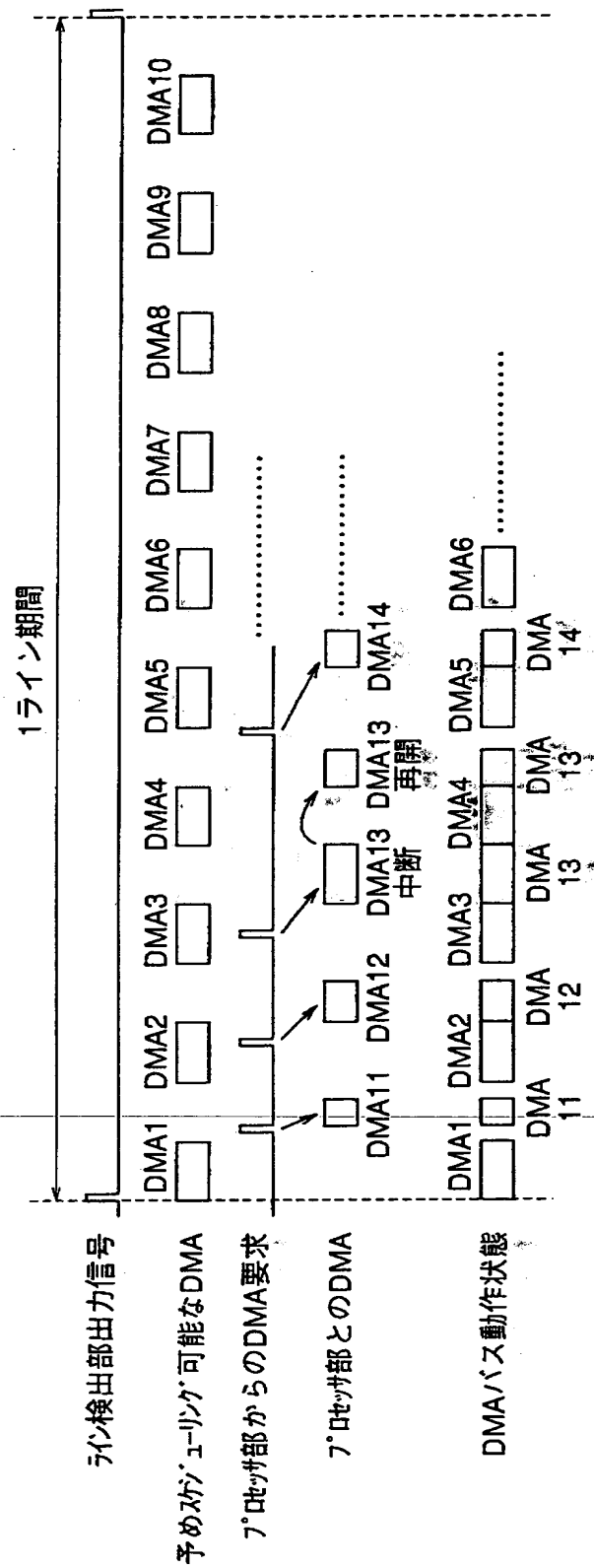
【図 2】



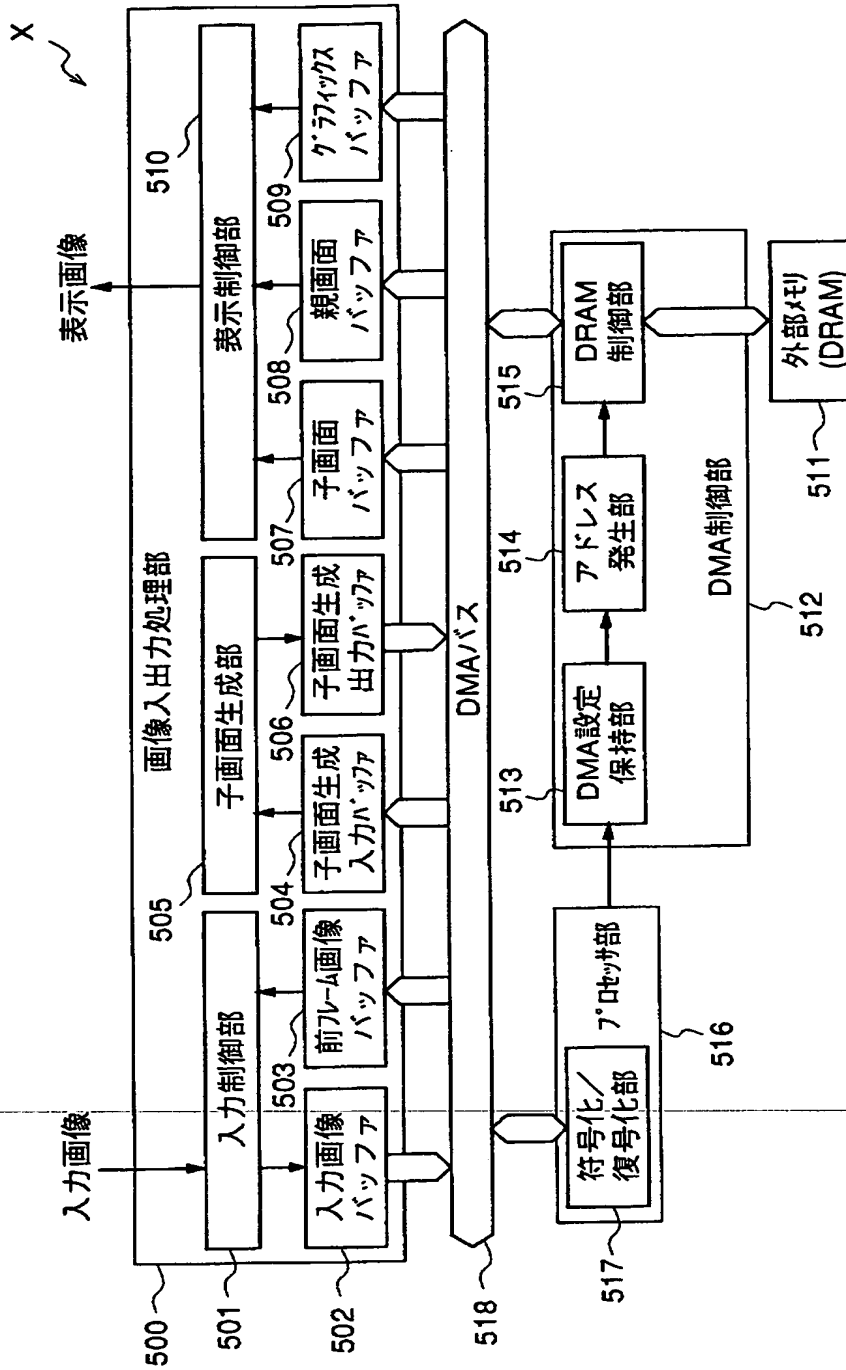
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 1つのメモリを共有してダイレクトメモリアクセス（DMA）を行うデータ転送制御方法及びこの方法を適用可能とした画像処理装置に関し、特定のDMAが集中発生する事を防止し、同時に回路規模の増大を抑えて、効率の良いDMAを実現するデータ転送制御方法及び画像処理装置を提供する。

【解決手段】 予め、DMAスケジューリング可能な転送データ群をバースト転送単位に分割し、DMA要求発生部119が、前記バースト転送単位のDMA要求を周期的に発行し、前記転送データをDMAしていない期間にスケジューリング不可能な転送データをDMAすることで、特定のDMAの集中を防止するように構成する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名又は名称】 松下電器産業株式会社
【代理人】 申請人
【識別番号】 100081813
【住所又は居所】 大阪府吹田市江の木町17番1号 江坂全日空ビル
8階 早瀬特許事務所
【氏名又は名称】 早瀬 憲一

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社